


SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

Patent Number: JP6013381
Publication date: 1994-01-21
Inventor(s): MIYAZAKI HIROSHI; others: 07
Applicant(s): HITACHI LTD; others: 01
Requested Patent:  JP6013381
Application Number: JP19920170659 19920629
Priority Number(s):
IPC Classification: H01L21/3205; H01L21/90
EC Classification:
Equivalents:

Abstract

PURPOSE:To prevent semiconductor device from being polluted by a Cu wiring.
CONSTITUTION:The title semiconductor device has a PSG(phosphorus glass) film 3, an Si film 10, and a Cu film 12 provided on a semiconductor element. It is desirable that a film of a high-melting-point metal or its alloy or a nitride such as a TiN film 11 should be provided between the Si film 10 and the Cu film 12. As the PSG(phosphorus glass) film 3, an insulating film such as silicon oxynitride etc., can be acceptable. Besides, a silicide film containing excessive Si also can be acceptable as the Si film 10, and an alloy film containing Cu as its main component can be acceptable as the Cu film 12.

Data supplied from the esp@cenet database - 12

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-13381

(43) 公開日 平成6年(1994)1月21日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/3205				
21/90	B	7514-4M		
		7514-4M	H 0 1 L 21/88	R

審査請求 未請求 請求項の数10(全 8 頁)

(21) 出願番号 特願平4-170659

(22) 出願日 平成4年(1992)6月29日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233468

日立超エル・エス・アイ・エンジニアリング株式会社

東京都小平市上水本町5丁目20番1号

(72) 発明者 宮▲崎▼ 博史

東京都国分寺市東恋ヶ窪1丁目280番地株

式会社日立製作所中央研究所内

(74) 代理人 弁理士 薄田 利幸

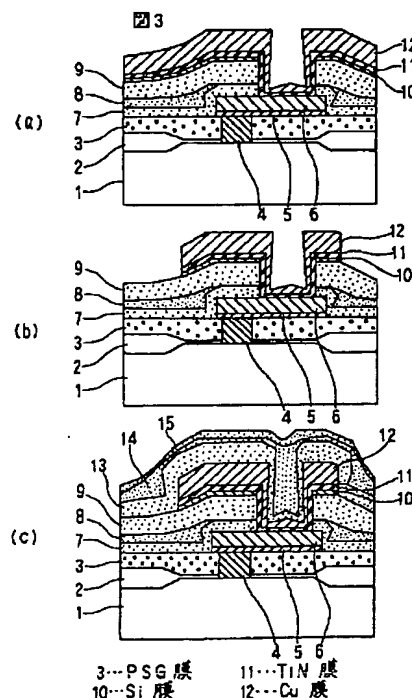
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【目的】 Cu配線によって、半導体素子がCu汚染されることを防止した半導体装置を提供すること。

【構成】 半導体素子の上にPSG（リンガラス）膜3、Si膜10、Cu膜12が設けられた半導体装置。Si膜10、Cu膜12の間にはTiN膜11等のような高融点金属やその合金、窒化物の膜が設けられていることが好ましい。PSG（リンガラス）膜3はシリコンオキシナイトライド等の絶縁膜でよく、また、Si膜10は過剰Siを含むシリサイド膜でよく、Cu膜12は銅を主成分とする合金膜でよい。



【特許請求の範囲】

【請求項1】半導体素子と、Si、Oを有し、かつP及びNからなる群から選ばれた少なくとも一種の元素を含み、該半導体素子を被覆する絶縁膜と、銅膜又は銅を主成分とする合金膜からなる導体層と、該導体層と該絶縁膜との間に設けられた、シリコン及び過剰Siを含むシリサイドからなる群から選ばれた少なくとも一種の材料からなるシリコン又はシリコン化合物膜とを有することを特徴とする半導体装置。

【請求項2】請求項1記載の半導体装置において、上記シリコン又はシリコン化合物膜と上記導体層との間に高融点金属、その合金又はその窒化物を少なくとも含むバリア膜を有することを特徴とする半導体装置。

【請求項3】請求項1又は2記載の半導体装置において、上記シリコン又はシリコン化合物膜は、上記絶縁膜の上部に設けられ、上記導体層は、上記シリコン又はシリコン化合物膜の上部に設けられたことを特徴とする半導体装置。

【請求項4】基板、該基板に設けられた半導体素子並びに該半導体素子を被覆し、Si、Oを有し、かつP及びNからなる群から選ばれた少なくとも一種の元素を含む絶縁膜並びにシリコン及び過剰Siを含むシリサイドからなる群から選ばれた少なくとも一種の材料からなるシリコン又はシリコン化合物膜と、高融点金属、その合金又はその窒化物を少なくとも含むバリア膜と、銅膜又は銅を主成分とする合金膜からなる導体層との積層膜を有し、該積層膜は該絶縁膜上に設けられたことを特徴とする半導体装置。

【請求項5】請求項1から4のいずれか一に記載の半導体装置において、上記絶縁膜は、リンガラス膜及びシリコンオキシナイトライド膜からなる群から選ばれた少なくとも一種の膜を含む膜であることを特徴とする半導体装置。

【請求項6】請求項5記載の半導体装置において、上記リンガラス膜は、五酸化リン換算で0.5mol%以上のリンを含むことを特徴とする半導体装置。

【請求項7】請求項1から6のいずれか一に記載の半導体装置において、上記絶縁膜は、膜厚が100nm以上であることを特徴とする半導体装置。

【請求項8】請求項1から7のいずれか一に記載の半導体装置において、上記シリコン又はシリコン化合物膜は、一般式 MSi_x （ただし、Mは、タングステン、チタン、モリブデン、タンタル、ニッケル、コバルト及びジルコニウムからなる群から選ばれた少なくとも一種の金属元素、xは、 $x > 2$ の範囲の値である）で表される過剰Siを含むシリサイドであることを特徴とする半導体装置。

【請求項9】請求項1から7のいずれか一に記載の半導体装置において、上記シリコン又はシリコン化合物膜は、膜厚が10nm以上であることを特徴とする半導体

装置。

【請求項10】基板上に半導体素子を形成し、半導体素子上に、Si、Oを有し、かつP及びNからなる群から選ばれた少なくとも一種の元素を含む絶縁膜を形成し、絶縁膜上にシリコン及び過剰Siを含むシリサイドからなる群から選ばれた少なくとも一種の材料からなるシリコン又はシリコン化合物膜を形成し、シリコン又はシリコン化合物膜に接続孔を形成し、シリコン又はシリコン化合物膜と接続孔上に高融点金属、その合金又はその窒化物を少なくとも含むバリア膜を形成し、バリア膜上に銅膜又は銅を主成分とする合金膜からなる導体層を形成し、導体層、バリア膜及びシリコン又はシリコン化合物膜の外周部を実質的に同一のパターンにエッチングすることにより半導体装置を形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、銅(Cu)膜又はCuを主成分とする合金膜（以下、単にCu合金膜と記す）を有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】半導体装置の配線遅延時間を短縮するために電気抵抗の低いCuを適用する検討が進められている。このCu膜やCu合金膜からのCuによる半導体素子の汚染の問題は、Cu配線の重要課題のひとつである。しかしながら、Cu汚染の防止方法について十分な指針が得られていない。従来、半導体装置上のCu膜は、ボンディング用パンプや電源ラインのように半導体素子から十分離れた多層配線の最上層に限定されて用いられてきた。また、下層の信号線では、アルミニウム(Al)とCu等の合金膜としてCuが使われているが、このような使用方法ではCu汚染は問題にならなかった。Al-Cu等の合金となつて安定化していた可能性がある。ところが、配線材料が純Cu又はCu合金膜である場合は、素子特性に悪影響を及ぼすことが知られている。下層の信号線にCu配線を用いるためには、新たにCu汚染を防止する対策が必要である。

【0003】Cu汚染を防止する最も簡便な方法は、Cuが拡散透過しにくい絶縁膜で半導体素子を被覆する方法である。通常、半導体装置の絶縁膜として用いられる熱酸化（以下、 $Th-SiO_2$ と記す）膜ではCuの拡散速度が大きく、保護膜とはならない。そこで、窒化シリコン(SiN)膜、シリコンオキシナイトライド(SiON)膜やリンガラス（以下、PSGと記す）膜を保護膜として用いる方法が提案されている。SiN膜のCu拡散抑制効果については、1989 プロシーディングス・アイイーイーイー・ヴィエルエスアイ・マルチレヴェル・インターコネクション・コンファレンス(Proceedings IEEE VLSI Multilevel Interconnection Conf.) 258～263頁等に記載されている。ま

た、PSG膜については、第39回応用物理学関係連合講演会講演予稿集、30a-V-6、678頁（1991春）に記載されている。

【0004】

【発明が解決しようとする課題】各種保護膜中のCuの拡散速度を定量的に測定するため原子吸光分析を行なった。分析試料は以下の手順に従って作製した。Si基板を熱酸化して厚さ10nmの Th-SiO_2 膜を形成した。次に厚さ100nmの保護膜で基板を被覆した。保護膜として、常圧CVD法（化学気相成長法）で形成したリンガラス（以下、常圧CVD-PSGと略す）膜、プラズマCVD法で形成した窒化シリコン（以下、プラズマCVD-SiNと略す）膜、減圧CVD法で形成した窒化シリコン（以下、減圧CVD-SiNと略す）膜を検討した。また、Si基板を熱酸化して厚さ100nmの Th-SiO_2 膜を保護膜として形成した試料も検討した。これらの保護膜上にCuの拡散源としてCu膜を蒸着した。この試料に熱処理を施し、CuをSi基板内に故意に拡散させた。Cu膜次いで保護膜をウェットエッチングにより除去した後、Si基板内のCu量を原子吸光法で定量した。その結果を図1に示した。減圧CVD-SiN膜以外の保護膜については、拡散抑制効果が不十分であることが分かった。

【0005】例えば、厚さ100nmの常圧CVD-PSG膜でSi基板を被覆した場合には、その上に450℃、1時間の熱処理で $5 \times 10^{10} \text{ atom/cm}^2$ のCu原子が保護膜を拡散透過することが予想される。ただし、PSG膜の厚膜化や配線工程の低温化によってCuの拡散透過量は減少するが、厚膜化により配線層を上下に繋ぐ接続孔の形成が困難になることや配線工程の低温化にも限界があることから、これらの方法には実用上制限が生じる。

【0006】一方、減圧CVD-SiN膜についても実用上制約がある。減圧CVD-SiN膜の最も大きな制約は膜形成温度が700～800℃と高いことである。膜形成は当然配線工程よりも前に行なわなければならない、必然的に素子に近い場所で減圧CVD-SiN膜を用いることになる。減圧CVD-SiN膜は応力が高く、ホット・キャリアによるMOS特性の劣化等も懸念される。また、高速パイポーラ等の浅いpn接合を必要とする半導体素子は過度の熱処理を避けなければならない、形成温度が高い減圧CVD-SiN膜の使用は好ましくない。その他の問題は、減圧CVD-SiN膜の誘電率が SiO_2 膜の約2倍と高いことである。減圧CVD-SiN膜を厚くすると配線容量が増大する。

【0007】本発明の目的は、保護膜の著しい厚膜化や配線工程の低温化を行なうことなく、かつ配線容量や応力の増大を伴うことなく、Cuの素子領域への拡散を防止した半導体装置及びその製造方法を提供することにある。

【0008】

【課題を解決するための手段】上記目的を達成するため、本発明の半導体装置は、半導体素子と、Si、Oを有し、かつP及びNからなる群から選ばれた少なくとも一種の元素を含み、半導体素子を被覆する絶縁膜と、銅膜又は銅を主成分とする合金膜からなる導体層と、導体層と絶縁膜との間に設けられた、シリコン及び過剰Siを含むシリサイドからなる群から選ばれた少なくとも一種の材料からなるシリコン又はシリコン化合物膜とより構成される。このシリコン又はシリコン化合物膜と導体層との間に高融点金属、その合金又はその窒化物を少なくとも含むバリア膜が設けられていることが好ましい。

【0009】また、絶縁膜は、PSG膜、シリコンオキシナイトライド膜のうちの少なくとも一種の膜を含む膜であることが望ましい。絶縁膜の厚みは100nm以上であることが好ましく、500nm程度以下であることが好ましい。上記シリコン又はシリコン化合物膜が、過剰Siを含むシリサイドであるとき、一般式 MSi_x （ただし、Mは、タングステン、チタン、モリブデン、タンタル、ニッケル、コバルト及びジルコニウムからなる群から選ばれた少なくとも一種の金属元素、xは、 $x > 2$ の範囲の値である）で表されるシリサイドであることが好ましい。シリコン又はシリコン化合物膜は10nm以上あれば十分効果が認められる。膜厚の上限には特に制限はないが、保護膜全体の厚膜化を防ぐために、200nm程度以下であることが好ましい。

【0010】また、本発明の半導体装置の製造方法の好ましい一例を挙げると、基板上に形成された半導体素子の上に、PSG膜等の絶縁膜を形成し、この上にシリコン又はシリコン化合物膜を形成し、シリコン又はシリコン化合物膜に接続孔を形成し、シリコン又はシリコン化合物膜と接続孔上にバリア膜、導体層を形成し、導体層、バリア膜及びシリコン又はシリコン化合物膜の外周部を実質的に同一のパターンにエッチングするものである。

【0011】

【作用】PSG膜やプラズマCVD-SiON膜は、 Th-SiO_2 膜よりも高いCu拡散抑制効果を有する。例えば、PSG膜中のCuの拡散速度は、図1から分かるように、 Th-SiO_2 膜中の1/60である。PSG膜を用いることで、ある程度の汚染防止効果がまず得られる。一方、Si/SiO₂界面にCuが偏在し易いことが従来から知られている。この現象は、Cu原子がSi/SiO₂界面の過剰Siにゲッターリングされるためと説明されている。本発明でもSi膜又は過剰Siを含むシリサイド膜は、Cu配線から絶縁膜中に拡散するCu原子をゲッターリングすると考えられる。従って、Si膜もしくは過剰Siを含むシリサイド膜は、これらに隣接する絶縁膜中のCu濃度の上昇を防ぐ。その結果、保護膜内のCu濃度勾配が小さくなり、保護膜を拡散透

過するCu量が減少する。

【0012】

【実施例】実施例1

図2(a)にCu積層配線の下地構造を示した。Si基板1を酸化して Th-SiO_2 膜2を形成した後、 MO ストランジスタ(図示せず、紙面の奥の位置に設けられる)を形成した。次に、常圧CVD法でPSG膜3を堆積した。PSG膜3の膜厚は250nmである。なお、PSG中のリン(P)濃度は五酸化リン(P_2O_5)濃度に換算した値が用いられる。本実施例では、膜中の P_2O_5 濃度は1.0mol%である。Si基板1に窒素(N_2)気流中で700℃、10分間の熱処理を施し、PSG膜3を緻密化した。次に Th-SiO_2 膜2及びPSG膜3を貫通する接続孔を設け、ここに選択CVD法でタングステン(W)を埋込み、Wプラグ4を形成した。その上にスパッタ法で形成した膜厚100nmのW膜5と0.5%のCuと1.5%のSiを含有する膜厚500nmのAl合金膜6を重ねた積層配線を形成し、所定のパターンとした。さらにテトラエトキシシランを原料とするプラズマCVD法で形成した酸化膜(以下、プラズマTEOS-SiO膜と記す)7と有機シリコン化合物を原料とする塗布絶縁膜8とプラズマTEOS-SiO膜9からなる三層層間絶縁膜でSi基板1の表面を覆った。各絶縁膜の厚さは下層から順に300nm/200nm/500nmとした。プラズマTEOS-SiO膜7、9の形成温度は400℃である。塗布絶縁膜8は、 N_2 気流中で450℃、30分間の熱処理を施し、硬化させた。

【0013】次に、図2(b)に示すように、プラズマTEOS-SiO膜9上にスパッタリング法で膜厚50nmのSi膜10を堆積した。堆積時の基板温度は300℃とした。続いて図2(c)に示すように、ドライエッチングによりSi膜10と三層層間絶縁膜に接続孔を開口した。

【0014】次に、図3(a)に示すように、膜厚100nmの窒化チタン(TiN)膜11と膜厚850nmのCu膜12とをスパッタリング法により連続して堆積した。堆積時の基板温度は300℃とした。続いて、図3(b)に示すように、Cu膜12、TiN膜11及びSi膜10をドライエッチング法により配線加工した。Cu膜12のドライエッチングは基板温度320℃で四塩化ケイ素と塩素の混合ガスを用いて行なった。次に、図3(c)に示すように、Cu膜12を膜厚300nmのプラズマTEOS-SiO膜13と膜厚200nmの塗布絶縁膜14と膜厚100nmのプラズマCVD-SiN膜15から構成される三層絶縁膜で被覆した。最後に、水素(H_2)気流中で450℃、30分間の熱処理を施した。このようにして作製した半導体装置はCu被着後、最高450℃の熱処理が1時間30分以上施されていることになる。ここで比較のためCu膜12をAl

0.5%Cu膜に置き換えた半導体装置を作製したが、両者の間に汚染に基づく素子特性の差は見られなかった。

【0015】本実施例ではPSG膜3の P_2O_5 濃度を1.0mol%にしたが、 P_2O_5 濃度が0.5mol%以上の範囲で効果があった。また、Si膜10とCu膜12との反応を防止する拡散バリア膜としてTiN膜11を用いたが、W、モリブデン(Mo)、タンタル(Ta)、ジルコニウム(Zr)等の高融点金属、チタニウム-タングステン合金(TiW)等の高融点金属合金又は窒化タングステン(WN)等の高融点金属窒化物としても効果は同じであった。

【0016】また、Si膜10の形成方法としてスパッタリング法を用いたが、周波数13.56MHzの高周波励起プラズマCVD法、2.45GHzのマイクロ波励起プラズマCVD法で形成したSi膜でも汚染防止効果は殆ど差がなかった。本実施例ではSi膜10の膜厚を余裕をみて50nmとしたが、10nm以上あれば十分であることも確認した。さらにまた、Cu膜12変えて、Cu合金膜として、Cu-0.3%Zr又はCu-1%Beを用いても効果は同じであった。

【0017】実施例2

本実施例を図4を用いて説明する。プラズマTEOS-SiO膜9より下層の構造及び作製方法は実施例1と全く同じである。以下、プラズマTEOS-SiO膜9より上層の構造及び作製方法について述べる。まず、実施例1と同様の三層層間絶縁膜(プラズマTEOS-SiO膜7、塗布絶縁膜8、プラズマTEOS-SiO膜9)に接続孔を開口した。次に、過剰Siを含むタングステンシリサイド(WSi_x)膜21はCVD法により形成した。膜形成時の基板温度は350℃である。反応ガスとして六フッ化タングステン10sccmとモノシラン1000sccmとアルゴンの混合ガスを供給し、ガス圧力0.65Torrの減圧下で反応させた。形成した WSi_x 膜21の組成は $x=2.5$ 、膜厚は50nmである。次に、膜厚100nmのTiN膜11と膜厚850nmのCu膜12をスパッタリング法により連続して堆積した。堆積時の基板温度は300℃とした。Cu膜12、TiN膜11、 WSi_x 膜21をドライエッチング法により配線加工した。

【0018】この後、実施例1と同じ方法で膜厚300nmのプラズマTEOS-SiO膜(図示せず)と膜厚200nmの塗布絶縁膜(図示せず)と膜厚100nmのプラズマCVD-SiN膜(図示せず)から構成される三層絶縁膜で被覆し、最後に H_2 気流中で450℃、30分間の熱処理を施した。本実施例でも、汚染による特性劣化はなかった。 WSi_x 膜21に含まれる過剰Siが実施例1のSi膜10と同じ作用をするものと推定される。

【0019】本実施例のTiN膜11は膜厚100nm

のW膜でも良い。W膜とした場合は、同一反応容器でWSi_x膜21と連続して堆積可能であり、生産性が上がる。本実施例では、WSi_x膜を用いたが、チタンシリサイド(TiSi_x)膜、モリブデンシリサイド(MoSi_x)膜、タンタルシリサイド(TaSi_x)膜、コバルトシリサイド(CoSi_x)膜、ニッケルシリサイド(NiSi_x)膜、ジルコニウムシリサイド(ZrSi_x)膜でも汚染防止効果が得られた。これらのシリサイドの組成xは2.5としたが、xが2.1から3.0の範囲のものでも効果が認められた。

【0020】実施例3

本実施例を図5を用いて説明する。本実施例では、実施例1のAl-0.5%Cu-1.5%Si/W配線の代わりに、膜厚100nmのW膜5と膜厚30nmのAl-0.5%Cu-1.5%SiよりなるAl合金膜6と膜厚10nmのSi膜31からなるSi/Al-0.5%Cu-1.5%Si/W配線を形成した。三層層間絶縁膜(プラズマTEOS-SiO膜7、塗布絶縁膜8、プラズマTEOS-SiO膜9)で被覆した後、接続孔を開口し、選択CVD法でWプラグ32を埋め込んだ。続いて、膜厚50nmのTiN膜11と膜厚900nmのCu膜12を積層し、ドライエッチング法で加工した。以下、実施例1と同様である。本実施例でも、汚染による特性劣化はなかった。

【0021】実施例4

本実施例を図6を用いて説明する。本実施例では実施例3のSi/Al-0.5%Cu-1.5%Si/W配線の代わりに膜厚50nmのWSi_x膜41と膜厚100nmのW膜42と300nmのCu膜43と50nmのW膜44を積層し、W/Cu/W/WSi_x配線とした。以下、実施例3と同様である。本実施例でも、汚染による特性劣化はなかった。

【0022】実施例5

本実施例を図7を用いて説明する。本実施例では、図2、3に示した実施例1のPSG膜3とプラズマTEOS-SiO膜7を、各々プラズマTEOS-SiO膜51とシリコンオキシナイトライド膜52に代えた。基板温度は350℃、反応ガスはモノシラン、アンモニア、亜酸化窒素の混合ガス(分圧比20:20:1)を用いた。ガス圧力は1 Torrと500Wの高周波電力にて

放電し、膜形成を行なった。本実施例でも、汚染による特性劣化はなかった。

【0023】

【発明の効果】本発明の半導体装置によれば、保護膜の厚膜化や配線プロセスの低温化を図ることなくCuの素子領域への拡散量を低減することができる。従って、例えば、接続孔の信頼性を低下させることなく、接合リーク電流増大やMOSデバイスの閾値の変動を防ぐことができる。また、本発明の半導体装置の製造方法によれば、上記の半導体装置を容易に製造することができる。

【図面の簡単な説明】

【図1】各種保護膜のCu拡散抑制効果の比較を示す図である。

【図2】本発明の実施例1の製造工程を説明するための半導体装置の縦断面図である。

【図3】本発明の実施例1の製造工程を説明するための半導体装置の縦断面図である。

【図4】本発明の実施例2の半導体装置の縦断面図である。

【図5】本発明の実施例3の半導体装置の縦断面図である。

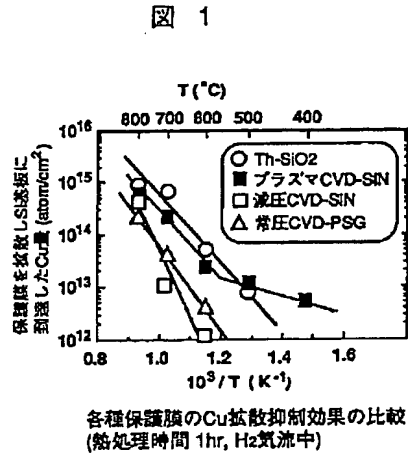
【図6】本発明の実施例4の半導体装置の縦断面図である。

【図7】本発明の実施例5の半導体装置の縦断面図である。

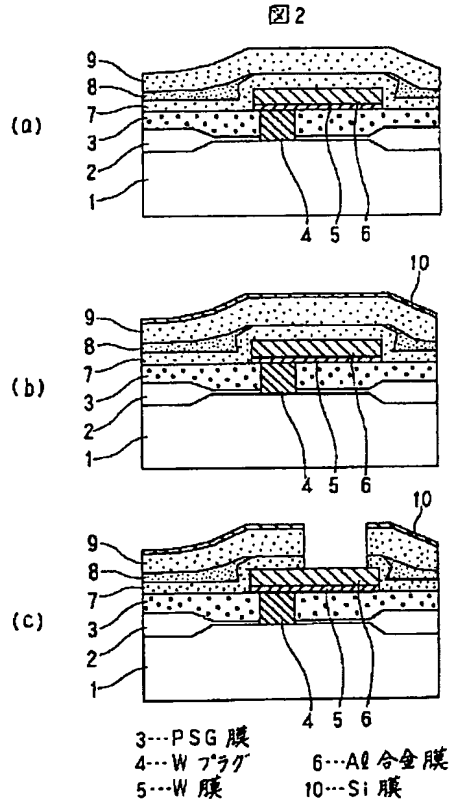
【符号の説明】

- 1 Si基板
- 2 Th-SiO₂膜
- 3 PSG膜
- 4、32 Wプラグ
- 5、42、44 W膜
- 6 Al合金膜
- 7、9、13、51 プラズマTEOS-SiO膜
- 8、14 塗布絶縁膜
- 10、31 Si膜
- 11 TiN膜
- 12、43 Cu膜
- 15 プラズマCVD-SiN膜
- 21、41 WSi_x膜
- 52 シリコンオキシナイトライド膜

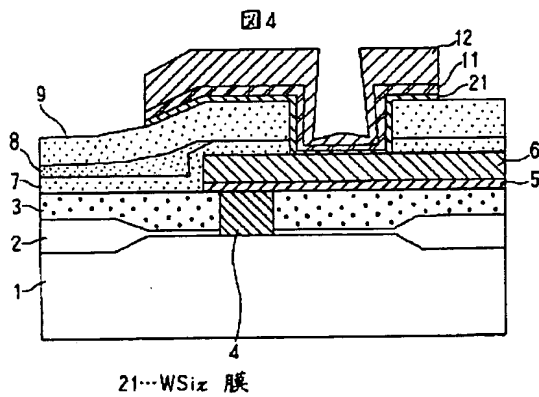
【図1】



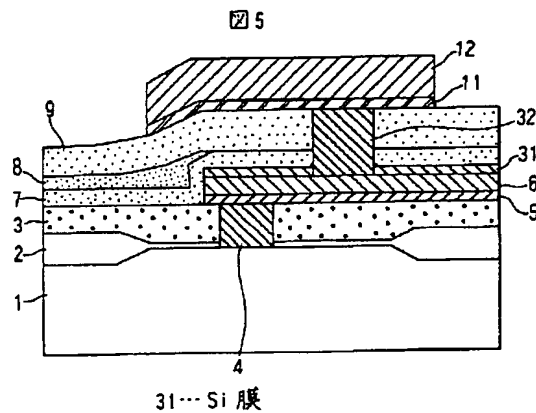
【図2】



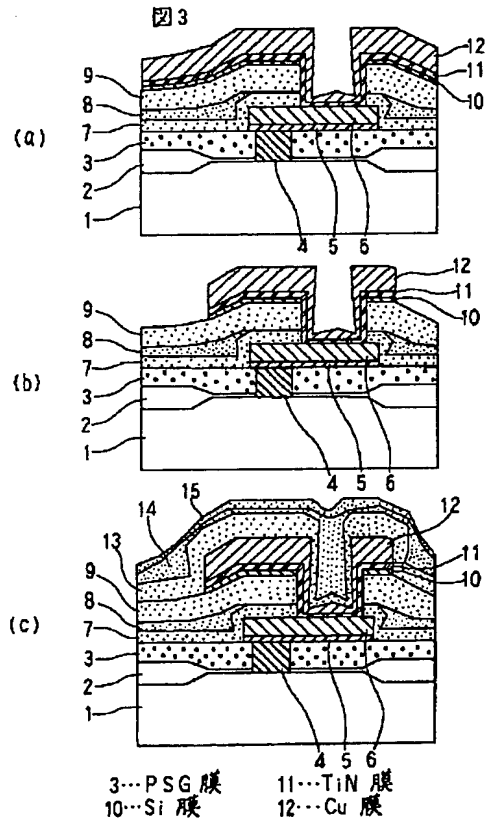
【図4】



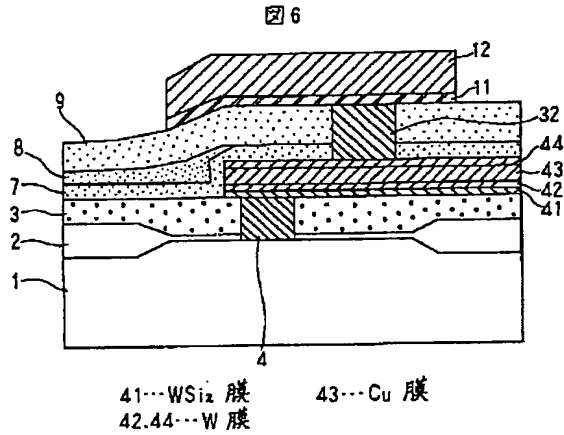
【図5】



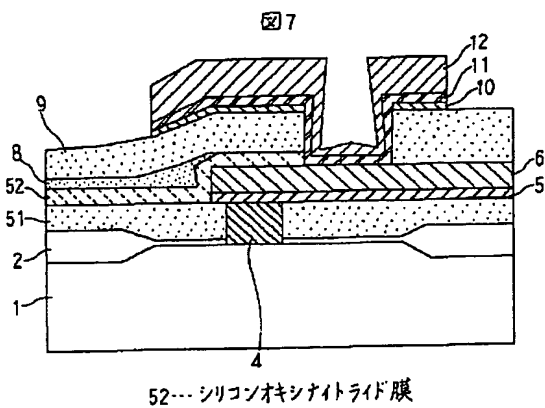
【図3】



【図6】



【図7】



フロントページの続き

(72)発明者 日野出 憲治
東京都国分寺市東恋ヶ窪1丁目280番地株
式会社日立製作所中央研究所内

(72)発明者 本間 喜夫
東京都国分寺市東恋ヶ窪1丁目280番地株
式会社日立製作所中央研究所内

(72)発明者 小林 伸好
東京都国分寺市東恋ヶ窪1丁目280番地株
式会社日立製作所中央研究所内

(72)発明者 山本 直樹
東京都国分寺市東恋ヶ窪1丁目280番地株
式会社日立製作所中央研究所内

(72)発明者 平岩 篤
東京都国分寺市東恋ヶ窪1丁目280番地株
式会社日立製作所中央研究所内

(72)発明者 小嶋 寿夫
東京都国分寺市東恋ヶ窪1丁目280番地株
式会社日立製作所中央研究所内

(72)発明者 村上 賢路
東京都小平市上水本町5丁目20番1号日立
超エル・エス・アイ・エンジニアリング株
式会社内